

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-049257

(43)Date of publication of application : 04.03.1991

(51)Int.Cl. H01L 27/08
H01L 27/04
H01L 29/90

(21)Application number : 01-185136

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 18.07.1989

(72)Inventor : SHINOHARA TOSHIKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To incorporate a Zener diode of a large capacity into an LSI chip by controlling a reverse breakdown voltage of a power source Zener diode by upper diffusion of impurity on a substrate and contour control of a high concentration region of a bottom section of a well region.

CONSTITUTION: An N-epitaxial layer 14 which is doped with N-type impurity of high concentration is formed on an upper side of an N+-substrate 13. A P-well region 15 is formed on the substrate 13 through ion implantation such as B and thermal diffusion. A P+-region 16 and an N+-region 17 are further formed thereon. Then, a gate electrode 18 is formed on an upper side thereof. An MOSFET region 19 and a guard ring region 12 are formed in this way. An impurity profile of the region 15 and an upper diffusion profile from the N+-substrate 13 come into contact with each other to a degree more than to hide impurity profile of the N-epitaxial layer 14; as a result, a reverse breakdown voltage of a formed p-n junction diode is set at more than a regular operational voltage and smaller than a withstand voltage of a semiconductor element.

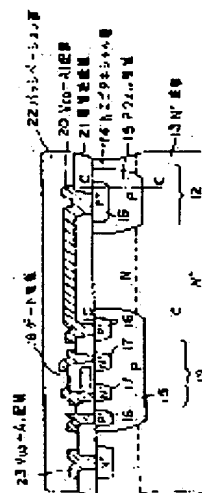


Fig. 3 relates this invention.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-49257

⑬ Int.Cl.⁵

H 01 L 27/08
27/04
29/90

識別記号

3 3 1 B
H
D

庁内整理番号

7735-5F
9056-5F
7638-5F

⑭ 公開 平成3年(1991)3月4日

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-185136

⑰ 出 願 平1(1989)7月18日

⑱ 発 明 者 篠 原 俊 朗 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 和田 成則

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 一方の主面に第1または第2導電性の半導体層が形成された第1導電性の半導体基板を、ガードリング、MOSFET等を形成するため複数の領域に区分し、それぞれの領域ごとに、上記第1または第2導電性の半導体層が形成された半導体層に、この半導体層と異なる導電性の不純物拡散領域を形成した半導体装置において、

それぞれの領域に形成された上記不純物拡散領域または上記半導体層の底面に、上記半導体装置の常用動作電圧より高く、かつ上記半導体装置を構成する各素子の耐圧よりも低く逆方向降伏電圧が設定されたPN接合ダイオードを形成したことを特徴とする半導体装置。

2. 一方の主面に第1または第2導電性の半導体層が形成された第1導電性の半導体基板を、ガードリング、MOSFET等を形成するため複数の領域

域に区分し、上記第1または第2導電性の半導体層が形成された半導体層の少なくともガードリング領域に、この半導体層と異なる導電性の不純物拡散領域を形成した半導体装置において、

ガードリング領域に形成された上記不純物拡散領域または上記半導体層の底面に、上記半導体装置の常用動作電圧より高く、かつ上記半導体装置を構成する各素子の耐圧よりも低く逆方向降伏電圧が設定されたPN接合ダイオードを形成したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、電源ツェナーダイオードを備えたLSI等の半導体装置に関する。

〔従来の技術〕

従来、LSI等の半導体装置としては、第6図に示すようなものがある。この図は、朝エレクトロニクスダイジェスト社発行「MOS/LSI設計と応用」(1976.11.20第1刷発行)P86の図3.18を引用したものであり、図aの断面図に示す

ように、N型基板1中にP⁺型拡散層2、N⁺型拡散層3を順次形成して入力保護ダイオード4を形成している。この入力保護ダイオード4のツェナ電圧は、P⁺型拡散層2とN⁺型拡散層3における不純物の濃度プロファイルによって決められるため、このプロファイルを調整して所望のツェナ電圧を得ることができる。

この構成を電源ツェナに適用したものが第7図である。図では、基板上に形成されたCMOS回路6の電源電圧 V_{DD} 、 V_{SS} 間に電源ツェナダイオード5が形成されている。このツェナダイオード5のツェナ電圧は、電源電圧 V_{DD} 、 V_{SS} にサージノイズ等の異常変動が発生した場合にCMOS回路6を保護できる値に設定されている。

《発明が解決しようとする問題点》

しかしながら、半導体装置上にこのような構成で電源ツェナダイオードを形成したため、大きな電源サージに耐えようとする、ダイオードを形成するチップ面積を増大させなければならず、コストアップを招いてしまう問題があった。

それぞれの領域、またはガードリング領域に形成された上記不純物拡散領域または上記半導体層の底面に、上記半導体装置の常用動作電圧より高く、かつ上記半導体装置を構成する各素子の耐圧よりも低く逆方向降伏電圧が設定されたPN接合ダイオードを形成したことを特徴とする。

《作用》

この発明の半導体装置は、ガードリング、MOSFET等を形成するため複数の領域に区分された半導体基板の、それぞれの領域または少なくともガードリング領域に形成された不純物拡散領域または半導体層の底面に、PN接合ダイオードを形成し、このダイオードを電源ツェナダイオードとして用いることにより、基板平面上に電源ツェナダイオードを形成するための別エリアが不用になる。

《実施例》

第1図は、この発明にかかる半導体装置の第1実施例を示し、第1図aはその平面図である。この実施例は図aに示されるように、半導体チップ

(2)

また、チップ面積を小さくおさえるために電源ツェナを外付けにすることもあるが、その場合も部品点数が増加し同様にコストアップになる問題があった。

《発明の目的》

この発明は、このような従来の問題点を解消するためになされたもので、その目的とするところは、チップ面積を増大させることのない電源ツェナダイオードを備えた半導体装置を提供することにある。

《問題点を解決するための手段》

上記目的を達成するために、この発明は、一方の主面に第1または第2導電性の半導体層が形成された第1導電性の半導体基板を、ガードリング、MOSFET等を形成するため複数の領域に区分し、それぞれの領域ごとに、または少なくともガードリング領域に、上記第1または第2導電性の半導体層が形成された半導体層に、この半導体層と異なる導電性の不純物拡散領域を形成した半導体装置において、

10の外周位置に1/O領域11、ガードリング領域12等が配置されている。

第1図bは、図aのB-B線上の断面を示し、N⁺基板13の上面に高濃度にリン、砒素、またはアンチモン等のN型不純物がドーピングされてNエピタキシャル層14が形成されている。

さらにこのNエピタキシャル層14が形成されたN⁺基板13に、例えばボロン等のイオン注入および熱拡散等の方法により、Pウェル領域15が形成され、さらにこのPウェル領域15上には、P⁺領域16とN⁺領域17が形成されている。次いで、これらの上面に、ポリシリコン薄膜等によりゲート電極18が形成されている。このようにして、MOSFET領域19、およびガードリング領域12が形成される。なお、ここでは簡単に説明するためPウェル領域内のひとつのMOSFETで行う。

また、ここでPウェル領域15の不純物プロファイルと、N⁺基板13からの不純物の上方拡散プロファイルとが、Nエピタキシャル層14の不

純物プロファイルが隠れる程度以上に接触し、その結果、形成されるPN接合ダイオードの逆方向降伏電圧が常用動作電圧より大きく、かつ半導体素子の耐圧より小さく設定されている。ここで設定されている電圧としては、例えば自動車用バッテリー電圧駆動の場合、16～18ボルト程度となる。

第1図cは、図bのC-C線上の濃度のプロファイルを示したものであり、Pウェル領域15の濃度プロファイルと、N⁺基板から上方拡散プロファイルが接触している点が特徴である。

このように構成した第1の実施例は、電源ツェナーダイオードをPウェル領域15の下面に形成したため、半導体チップ10の平面上において、電源ツェナーダイオード用に占有されるエリアがなくなり、チップ面積を小型にすることができる。

また、この実施例の場合は、製造の際、比較的簡単な工程により低コストに製造することができる利点がある。

次に、第2図により第2の実施例を説明する。

N⁺基板13からの上方拡散プロファイルは接触しておらず、中間にNエピタキシャル層14が残っているのに対し、ガードリング領域12では、埋込P⁺領域25がPウェル領域15下部に形成されているため、図cに示すように、Nエピタキシャル層14は隠れ、N⁺基板13の上方拡散プロファイルと埋込P⁺領域25とで、PNダイオードを形成している。

なお、この実施例では、ガードリング領域12におけるPウェル領域15の下部に埋込P⁺領域25を形成しているが、ガードリング領域12のPウェル領域15と、MOSFET領域19のPウェル領域15を別個に形成して、ガードリング領域12のみを第1図cに示すプロファイルにすることもできる。

この実施例は、ガードリング領域12のみに電源ツェナーダイオードが形成されており、MOSFET領域19のPウェル領域15にはサージ電流が流れず、MOSFET領域19のPウェルコンタクトの為のP⁺領域16が小さくなり、MO

この実施例は、図aに示すように、N⁺基板13と、Pウェル領域15の間に埋込P⁺領域25を形成し、Pウェル領域15の濃度プロファイルを、内蔵電源ツェナの逆方向降伏電圧の制御と独立して設定できるようにしたものである。

それにより、内蔵電源ツェナの能力を確保したまま図bに示すようにPウェル領域15の不純物濃度を低めに設定でき、Pウェル領域15内に形成されるNMOSFETにおける閾値電圧制御の自由度が上がり、また閾値電圧のばらつきが小さくなってLSIの性能が向上する。

次に、第3図により第3の実施例を説明する。

この実施例は、図aに示すようにガードリング領域12の底面にのみ埋込P⁺領域25を形成したもので、MOSFET領域19のB-B断面とガードリング領域12のC-C線断面の不純物濃度プロファイルは、それぞれ第3図b、cに示すようになっている。

すなわち、MOSFET領域19では、図bに示すように、Pウェル領域15のプロファイルと

SFET領域19の面積を小さくした分、コストダウンが可能になる。同時にラッチアップの危険性が小さくなり信頼性を向上することができる。

次に、第4図により第4の実施例を説明する。

この実施例は、図aに示すようにP形基板33の上に高濃度の埋込N⁺領域45、Nエピタキシャル層34を形成し、Nエピタキシャル層34の中にP形拡散層35を、例えばボロンのイオン注入、熱拡散によって形成した後、Nエピタキシャル層34の中にP⁺領域36、N⁺領域37、さらにゲート電極38を形成したものである。これらP⁺領域36、N⁺領域37、ゲート電極38とによりPMOSFET領域39が形成され、また埋込N⁺領域45、P形拡散層35により、PN接合ダイオードが形成される。

この実施例は、Nエピタキシャル層34の中にPMOSFET領域39を形成したが、バイポーラ形のトランジスタを形成することもできる。

図aにおけるPN接合ダイオード部のB-B線上の断面を示したのが図bである。

図に示すように、P形拡散層35と埋込N⁺領域45の濃度プロファイルを制御することにより、PN接合ダイオード部の逆方向降伏電圧が所定の値に設定することができる。

なお、ここで形成するPN接合ダイオードを、埋込N⁺領域45とP形基板33の濃度プロファイルを制御して、両者間に形成することも可能である。

この実施例は、半導体素子、例えばPMOSFET領域39が接地されたP形拡散層35に島状に分離されていることにより、同一チップ上にバイポーラ素子、MOS素子の何れでも容易に形成することができる利点がある。

次に、第3の実施例についての製造方法を第5図により説明する。

図aでは、最初に高濃度のN⁺基板13にボロン拡散等により埋込P⁺領域25を形成する。

次いで、図bでは、エピタキシャル成長により、例えば10Ω・cm程度のNエピタキシャル層14を形成する。

ずに、大容量の電源ツェナーダイオードをLSIチップに内蔵可能となり、LSIチップ等の半導体装置のコストダウンと信頼性の向上が得られる。

4. 図面の簡単な説明

第1図はこの発明にかかる半導体装置の第1実施例を示し、図aはその平面図、図bは断面図、図cは濃度プロファイルを示す図、第2図は同じく第2実施例を示し、図aはその断面図、図bは濃度プロファイルを示す図、第3図は第3実施例を示し、図aはその断面図、図b、図cは濃度プロファイルを示す図、第4図は第4実施例を示し、図aはその断面図、図bは濃度プロファイルを示す図、第5図は第3実施例の製造過程を示す断面図、第6図は従来例を示す断面図、第7図は従来例を示す回路図である。

- 10 …… 半導体チップ
- 11 …… I/O領域
- 12 …… ガードリング領域
- 13 …… N⁺基板
- 14 …… Nエピタキシャル層

なお、埋込P⁺領域25の形成方法として、N⁺基板13上に、Nエピタキシャル層14を形成した後、ボロンの高エネルギーイオン注入、およびアニールにより、深部に拡散領域を形成させることもできる。

さらに、図cでは、ボロンのイオン注入、熱拡散等の方法を用いてPウェル領域15を形成する。このときのPウェル領域15の深さは、埋込P⁺領域25と接触する程度とする。

ここで図dに示すように、通常のIC製造工程により、P⁺領域16、N⁺領域17、ゲート電極18が形成されて、第3の実施例に示したICチップが形成される。

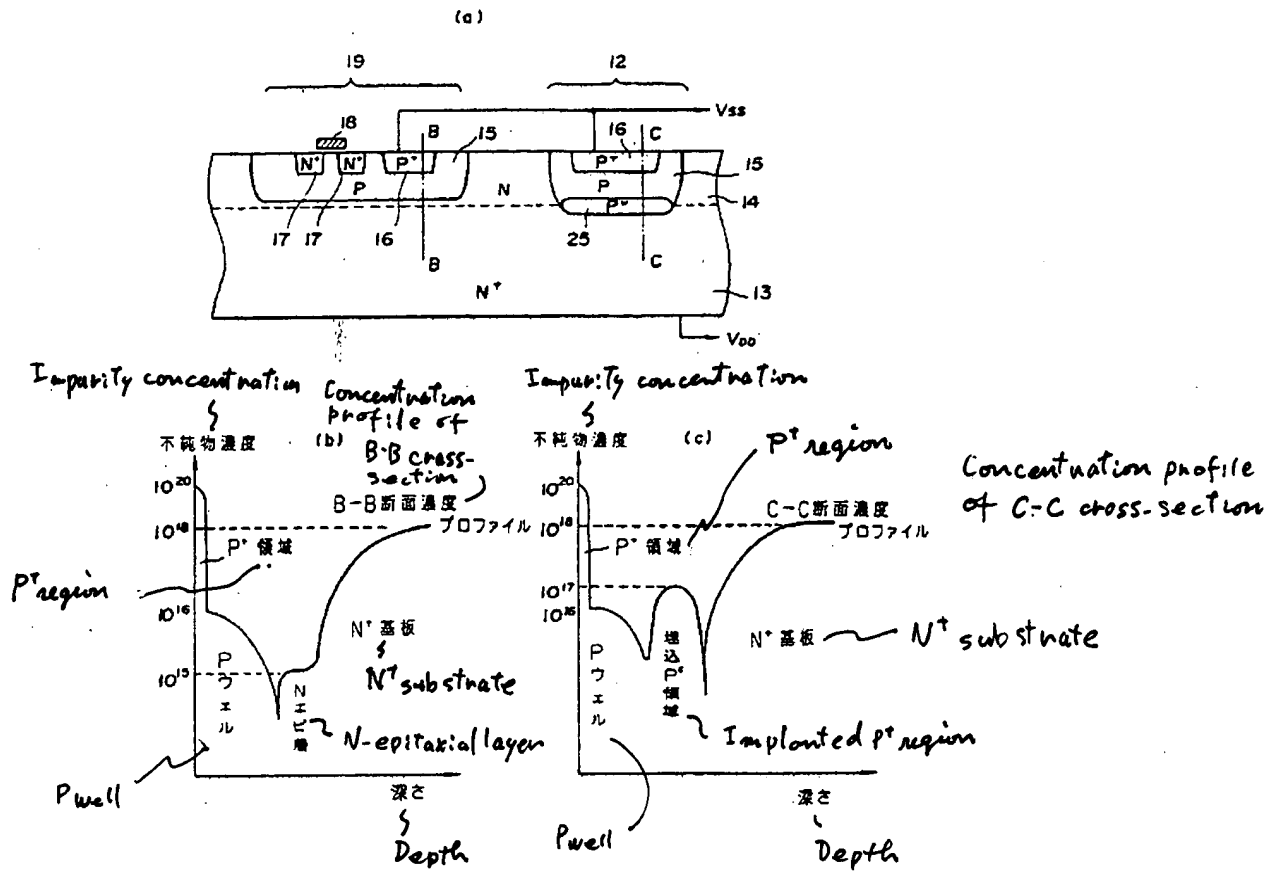
《発明の効果》

この発明は上記のように、LSIチップ等の半導体装置にモノリシックに形成する電源ツェナーダイオードを、高濃度導体基板における不純物上方拡散と、ウェル領域底部の高濃度領域とのプロファイルコントロールにより、逆方向降伏電圧を制御する構成としたため、チップ面積を増大させ

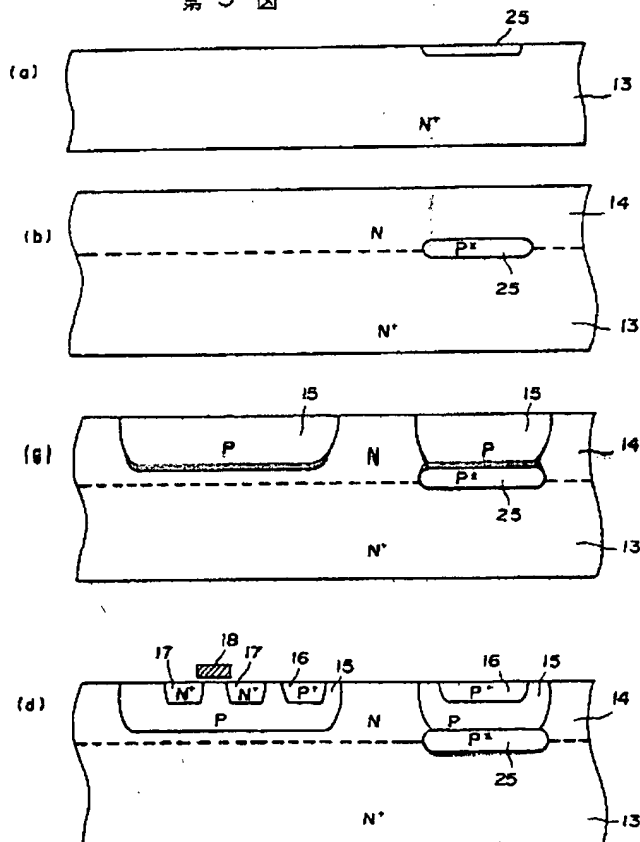
- 15 …… Pウェル領域
- 16 …… P⁺領域
- 17 …… N⁺領域
- 18 …… ゲート電極
- 19 …… MOSFET領域
- 25 …… 埋込P⁺領域
- 33 …… P形基板
- 34 …… Nエピタキシャル層
- 35 …… P形拡散層
- 36 …… P⁺領域
- 37 …… N⁺領域
- 38 …… ゲート電極
- 39 …… PMOSFET領域
- 45 …… 埋込N⁺領域

特 許 出 願 人 日 産 自 動 車 株 式 会 社
代 理 人 弁 理 士 和 田 成 則

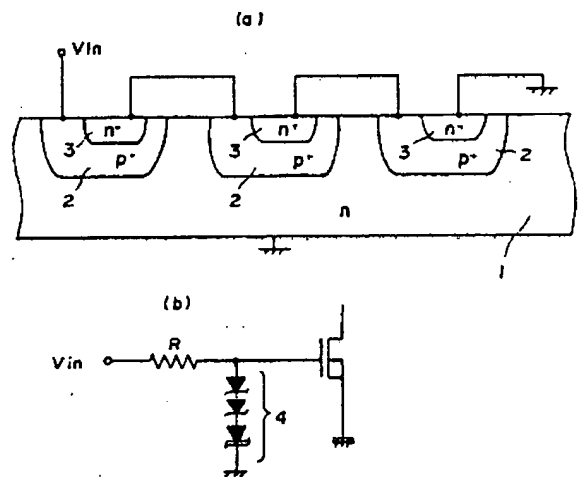
第3図 ~ Fig. 3



第5図



第6図



第7図

